

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-117016

(43)Date of publication of application : 06.05.1998

(51)Int.Cl.

H01L 33/00

H01S 3/18

(21)Application number : 08-270375

(71)Applicant : NICHIA CHEM IND LTD

(22)Date of filing : 14.10.1996

(72)Inventor : NAKAMURA SHUJI

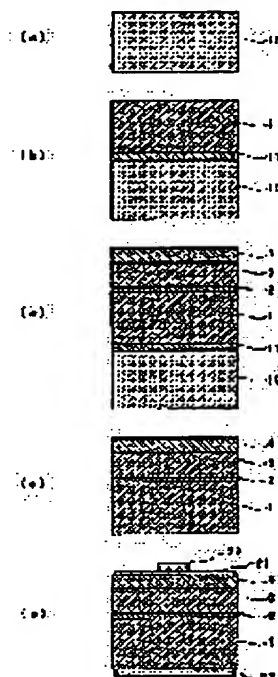
IWASA SHIGETO

(54) MANUFACTURING METHOD OF NITRIDE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a nitride semiconductor device, using a nitride semiconductor as its substrate by making an n-type nitride semiconductor layer with a specific film thickness to grow on a substrate, and by making nitride semiconductor layers containing acceptor impurities grow on the foregoing nitride semiconductor layer, and further, by removing thereafter the substrate therefrom.

SOLUTION: A buffer layer 11 is made to grow in contact with a substrate 10 made of spinel (MgAl_2O_4). Then, an n-type nitride compound semiconductor layer 1 with a film thickness not smaller than $20\mu\text{m}$ is made to grow in contact with the buffer layer 11. Further, an active layer 2 is made to grow in contact with the semiconductor layer 1. Subsequently, nitride semiconductor layers 3, 4 containing acceptor impurities are made to grow on the active layer 2. Then, a resultant wafer is taken out from a reaction container, to remove the substrate 10 therefrom. In this case, the buffer layer 11 is also removed naturally therefrom. Further, an n-electrode 20 is provided on the surface of the semiconductor layer 1 corresponding to the bottom surface of the wafer, and an electrode comprising a translucent p-type electrode 21 and a pad electrode 22 is formed on the uppermost semiconductor layer 4.



LEGAL STATUS

[Date of request for examination]

08.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3087829

[Date of registration]

14.07.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture method of the nitride semiconductor device characterized by having the process into which the nitride semiconductor layer which contains acceptor impurity at least is grown up, and the process which removes a substrate after the nitride semiconductor layer growth containing acceptor impurity in the process which grows up n type nitride semiconductor layer into the substrate upper part by thickness 20 micrometers or more, and this n type nitride semiconductor layer upper part.

[Claim 2] The manufacture method of a nitride semiconductor device according to claim 1 that the aforementioned substrate is characterized by the spinel from a spinel.

[Claim 3] The manufacture method of the nitride semiconductor device according to claim 1 or 2 characterized by including the process which carries out annealing in the atmosphere containing a nitrogen source after the nitride semiconductor layer growth containing the aforementioned acceptor impurity, and which carries out annealing in the atmosphere which does not include the source of hydrogen after that.

[Claim 4] The manufacture method of the nitride semiconductor device characterized by having the process into which the nitride semiconductor layer containing acceptor impurity is grown up at least at the process which grows up n type nitride semiconductor layer into the spinel substrate upper part by thickness 20 micrometers or more, the process which removes a substrate after n type nitride semiconductor layer growth, and n type nitride semiconductor layer upper part after substrate removal.

[Claim 5] The manufacture method of the nitride semiconductor according to claim 4 characterized by making the front face of the n type nitride semiconductor layer into the shape of a mirror plane after the aforementioned n type nitride semiconductor layer growth.

[Claim 6] The manufacture method of the nitride semiconductor device according to claim 4 or 5 characterized by having the process which carries out annealing in the process which carries out annealing of the n type nitride semiconductor in the atmosphere containing a nitrogen source after the aforementioned substrate removal, and the atmosphere which does not include the source of hydrogen after the nitride semiconductor layer growth which contains acceptor impurity after that.

[Claim 7] The aforementioned n type nitride semiconductor layer is the manufacture method of a nitride semiconductor given in the claim 1 characterized by making small carrier concentration of the side close to p type nitride semiconductor layer, and enlarging carrier concentration of the side which is separated from p type nitride semiconductor, or any 1 term of 7.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the manufacture method of the nitride semiconductor ($\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$, $0 \leq x, 0 \leq y, x+y \leq 1$) element used for light-receiving devices, such as luminescence devices, such as Light Emitting Diode (light emitting diode) and LD (laser diode), a solar battery, and a photosensor.

[0002]

[Description of the Prior Art] The nitride semiconductor is put in practical use now as the blue luminescence Light Emitting Diode and green luminescence Light Emitting Diode. Since the substrate which carried out grid adjustment does not exist, the nitride semiconductor is growing through AlN of the hundreds of Å thickness directly formed on the silicon on sapphire from which a lattice constant differs no less than 13.5%, and the GaN buffer layer. Although the attempt which produces the bulk crystal of GaN which, on the other hand, serves as a substrate which carried out grid adjustment is performed in the foreign research period, now, the actual condition is that the bulk crystal of GaN can grow only in 1200 degrees C or more and the elevated-temperature high-pressure atmosphere of 10,000 or more atmospheric pressure, but only the small crystal about several mm phi is moreover obtained.

[0003] Since the GaN substrate by the bulk single crystal is not expectable, the technology which uses a GaN thick film as a substrate is shown in JP,8-116090,A. According to this technology, GaN is formed by 50-200-micrometer thickness through a buffer layer on substrates, such as GaAs, and GaP, InP, Si, and the nitride semiconductor which removes a substrate by meanses, such as polish and chemical etching, after that, and newly contains n type layer and p type layer on the GaN layer which remained is grown up.

[0004] Moreover, after repeat a buffer layer and a GaN single crystal layer, growing up JP,7-165498,A on a substrate, indicating the method of creating a GaN substrate in addition to this, growing up into JP,7-202265,A the buffer layer which becomes silicon on sapphire from ZnO and growing up GaN of a thick film on the buffer layer, the method of obtaining the GaN single crystal substrate of a thick film is shown by carrying out dissolution removal of the ZnO. Furthermore, the luminescence device which carried out the laminating of the nitride semiconductor layer of a mutually different conductivity type on a GaN single crystal substrate to JP,7-94784,A is indicated.

[0005]

[Problem(s) to be Solved by the Invention] Thus, although much technology is proposed by the GaN substrate for growing up a nitride semiconductor, the nitride semiconductor which used this GaN as the substrate does not yet appear in it, but, actually, it is very difficult for it to manufacture the various device elements which have the thick film GaN dozens of micrometers or more in a substrate.

[0006] Therefore, the place made into the purpose of this invention is in manufacturing the device element which consists of a nitride semiconductor to offer the manufacture method that the element which used the nitride semiconductor for the substrate is realizable.

[0007]

[Means for Solving the Problem] The manufacture method of the nitride semiconductor device element of this invention consists of two kinds of modes. the 1st mode It is n type nitride semiconductor layer (it is hereafter called n type layer.) to the substrate upper part. It is characterized by having the process into which the nitride semiconductor layer which contains acceptor impurity at least is grown up, and the process which removes a substrate after the nitride semiconductor layer growth containing acceptor impurity in the process grown up by thickness 20 micrometers or more, and this n type layer upper part. It is desirable to use a spinel (MgAl_2O_4) for a substrate especially in the 1st mode of this invention, and to make the field (111) of a spinel substrate into the growth side of a nitride semiconductor also in it.

[0008] In the 1st mode of this invention, it is characterized by including the process which carries out annealing (heat treatment) in the atmosphere containing nitrogen after the nitride semiconductor layer growth containing acceptor impurity and which carries out annealing in the atmosphere which does not include the source of hydrogen after that. By supplying the source of N, it is to carry out annealing in the atmosphere containing a nitrogen source in order to prevent disassembly of a nitride semiconductor and to prepare crystallinity. Therefore, it is desirable to carry out annealing in 300 degrees C - 1200 degrees C atmosphere, using ammonia, a hydrazine, etc. as a source of N. It is 400 degrees C or more that crystallinity becomes good most. It is to carry out annealing in the atmosphere which does not include the source of H in order to make low resistance further the nitride semiconductor layer which removed H combined with acceptor impurity from under the crystal, and doped acceptor impurity with the aforementioned source annealing of N among the reaction. It is desirable to also perform this annealing above 400 degrees C.

[0009] Moreover, the 2nd mode of this invention is characterized by growing up the nitride semiconductor layer containing acceptor impurity at least at the process which grows up n type layer into the spinel substrate upper part by thickness 20 micrometers or more, the process which removes a substrate after n type layer growth, and n type layer upper part after substrate removal. Moreover, also in the 2nd mode of this invention, it is desirable to make the field (111) of a spinel substrate into the growth side of a nitride semiconductor.

[0010] In addition, in the claim of this application, necessarily not growing up n type layer into a substrate in contact with n type layer which carries out substrate up growth not necessarily, growing up buffer layers, such as GaN, AlN, and ZnO, in

in contact with a substrate, and growing up an n type layer of 20 micrometers or more of thickness in contact with this buffer layer is also included. The nitride semiconductor of single composition is sufficient as an n type layer of thickness 20 micrometers or more, and the layer which carried out the laminating of the thin film of n type layer from which composition differs is sufficient as it. Similarly, not necessarily growing up the nitride semiconductor layer which not necessarily doped acceptor impurity as growing up the nitride semiconductor layer which doped acceptor impurity to be an n type layer upper part in contact with n type layer, growing up a buffer layer, i type layer, or a barrier layer in contact with n type layer, and growing up the nitride semiconductor which doped acceptor impurity in contact with those buffer layers, i type layer, and the barrier layer is also included.

[0011] Furthermore, in the 2nd mode of this invention, it is characterized by making the front face of the n type layer into the shape of a mirror plane after n type layer growth.

[0012] Moreover, in the 2nd mode of this invention, annealing of the n type nitride semiconductor is carried out in the atmosphere containing a nitrogen source after the aforementioned substrate removal, and it is characterized by carrying out annealing in the atmosphere which does not include the source of hydrogen after the nitride semiconductor layer growth which contains acceptor impurity after that. After substrate removal, annealing is carried out for preventing disassembly of a nitride semiconductor and preparing a crystalline good substrate in the atmosphere containing a nitrogen source, and it is desirable similarly by supplying the source of N to carry out annealing in 300 degrees C – 1200 degrees C atmosphere using ammonia, a hydrazine, etc. as well as the 1st mode. The temperature to which crystallinity becomes good most is 400 degrees C or more. Annealing is carried out in the atmosphere which does not include the source of H for making low resistance further the nitride semiconductor layer which removed H combined with acceptor impurity in the reaction as well as the 1st mode from under the crystal, and doped acceptor impurity, and it is desirable to carry out above 400 degrees C. Moreover, in the 1st mode of this invention, and the 2nd mode, it is characterized by for n type layer making small carrier concentration of the side close to p type layer, and enlarging carrier concentration of the side which is separated from p type nitride semiconductor.

[0013]

[Embodiments of the Invention] Drawing 1 (a) – (e) is the type section view showing the partial structure of the wafer obtained in each process of the 1st mode of this invention. The 1st mode of this invention is explained based on these drawings.

[0014] Especially the growth method of a nitride semiconductor is not limited and can apply all the methods proposed in order to grow up [for example,] a nitride semiconductor conventionally [such as MOVPE (organic-metal vapor growth), HDVPE (halide vapor growth), and MBE (molecular-beam vapor growth),].

[0015] In drawing 1 (a), 10 is a substrate. A nitride semiconductor is first grown up on this substrate 10. Although substrates, such as sapphire, a spinel, SiC, GaAs, and Si, ZnO, can be used for a substrate 10 in the 1st mode, a spinel is used preferably. A spinel can grow up the nitride semiconductor of single composition by the thick film 20 micrometers or more as compared with other materials. And if the field (111) of a spinel is made into the growth side of a nitride semiconductor, a crystalline good nitride semiconductor can grow by the thick film. In addition, crystalline right and wrong can be judged by measuring the half-value width of 2 crystallization X-ray rocking curve, and if the crystal for 100 or less seconds is most preferably obtained for the half-value width 150 or less seconds still more preferably 200 or less seconds, it can be judged that the nitride semiconducting crystal has few cracks, and the uniform field is acquired. There are few lattice constant differences with a nitride semiconductor (9%), and a spinel has few coefficient-of-thermal-expansion differences, and since the crystal is soft, even if it grows up the nitride semiconductor of a thick film as compared with the substrate into which the nitride semiconductor of further others is grown up, it has the feature that a crack cannot enter easily. For example, when GaN is grown up to be substrates, such as sapphire and SiC, by thickness 10 micrometers or more, there is an inclination for a crack to tend to enter.

[0016] Next, a buffer layer 11 is grown up in contact with this substrate 10. A buffer layer 11 grows up nitride semiconductors, such as AlN, AlGaIn, GaN, and InGaIn, at 200 degrees C – 900 degrees C low temperature. A buffer layer 11 has the operation which eases the grid mismatching of a substrate 10 and the nitride semiconductor grown up into the degree of a buffer layer. In addition, since a nitride semiconductor has the property which shows n type in the state of a non-doped (an impurity is not doped) by the own lattice defect of a semiconductor, a buffer layer 11 usually shows n type conductivity.

[0017] As furthermore shown in (b), a buffer layer 11 is touched and n type layer 1 is grown up by thickness 20 micrometers or more. n type layer 1 is grown up at an elevated temperature rather than a buffer layer. It is desirable for the composition to set n type layer 1 to GaN, when 20 micrometers or more grow by single composition. It is easy to grow up GaN rather than the nitride semiconductor containing In or aluminum, and a crystalline good thing is obtained most. Moreover, n type layer 1 can carry out the laminating of two or more n type layers, and can also set them to 20 micrometers or more. For example, the laminating of the n type layer of a thin film can also be carried out to condition of growing up 5 micrometers of GaN(s) on a buffer layer 11, InGaIn growing up further 0.1 micrometers of 5 micrometers of GaN(s), repeating it on it, and making it thickness 20 micrometers or more. Thus, if a substrate 10 is a spinel when growing up the nitride semiconductor of a thin film, n type layer into which a crack cannot go easily can be grown up. In addition, it is desirable for a nitride semiconductor to dope donor impurities, such as Si, germanium, and Sn, preferably, although a n n-doped also becomes n type as mentioned above, and to grow up n type layer which adjusted carrier concentration. In addition, 20 micrometers or more of 50 micrometers or more of thickness of n type layer 1 are most preferably grown up by thickness 100 micrometers or more still more preferably. It is because a wafer will be comfortable break and it will be hard coming to produce the chip of an exact configuration, when a substrate is removed later, if fewer than 20 micrometers. Although specially the upper limit of thickness is not specified, it is usually adjusted to 1mm or less.

[0018] When doping a donor impurity and adjusting carrier concentration, as for the carrier concentration of n type layer 1, it is desirable to enlarge carrier concentration of the side close to the buffer layer 11, and to make small carrier concentration of the side close to the barrier layer 2 grown up into a degree on the other hand. Thus, if carrier concentration of the side close to p type layer is made small and n carrier concentration of the preceding one is enlarged, a substrate 10 will be delayed behind, the carrier injection efficiency at the time of forming n electrode in n type layer 1

side will improve, and a radiant power output will improve.

[0019] Next, as shown in (c), a barrier layer 2 is grown up in contact with n type layer 1. n type, i type, or p type is sufficient as the conductivity type of the barrier layer 2 formed in contact with n type layer 1. A barrier layer 2 has the desirable well layer which constitutes so that the well layer which consists of a nitride semiconductor containing In may be included, and consists of InGaN of mixed crystal preferably. Since the object with sufficient crystallinity of 4 μm or 3 μm is obtained compared with the thing of mixed crystal, the radiant power output of InGaN of mixed crystal improves. When producing a Light Emitting Diode element, a barrier layer is taken as the single quantum well structure (SQW:Single-quantum-well) which consists of a single well layer. Moreover, in producing LED element, it considers as the multiplex quantum well structure (MQW:Multi-quantum-well) which carried out the laminating of the well layer which consists of a barrier layer of InGaN, and the barrier layer which consists of a nitride semiconductor with larger band gap than a well layer. a barrier layer — the same — In_xGa_{1-x}N (0 < x < 1, x < 1) of 3 μm mixed crystal — desirable — well + obstruction + well + ... a laminating is carried out and MQW is constituted so that it may become a 10 obstruction + well (the reverse — even when — good) Thus, if a barrier layer is set to MQW which carried out the laminating of the InGaN, high power LD for about 365nm – 660nm is realizable by luminescence between quantum level. Furthermore, when the laminating of the barrier layer which consists of InGaN on a well layer is carried out, the barrier layer which consists of InGaN has a soft crystal compared with AlGaIn. Therefore, since thickness of AlGaIn of a clad layer can be thickened, laser oscillation is realizable. Furthermore, InGaIn differs in crystal-growth temperature from AlGaIn. For example, in the MOVPE method, AlGaIn grows up InGaIn at temperature higher than 900 degrees C to making it grow up at 600 degrees C – 800 degrees C. Therefore, if it is going to grow up the barrier layer which consists of AlGaIn after growing up the well layer which consists of InGaIn, it is necessary to raise growth temperature. If growth temperature is raised, since the InGaIn well layer grown up previously will decompose, it is difficult to obtain a crystalline good well layer. Furthermore, if there is a thickness of a well layer and the dozens of A well layer of a thin film decomposes it, it will become difficult to produce MQW. If a barrier layer is also set to InGaIn to it, a well layer and a barrier layer can grow at the same temperature. Therefore, since the well layer formed previously does not decompose, crystalline good MQW can be formed. Although this shows the most desirable mode of MQW, what composition is sufficient, as long as it makes InGaIn for a well layer and makes bandgap energy of a barrier layer others for a barrier layer like GaN and AlGaIn more greatly than a well layer. In which can do the barrier layer of InGaIn multiplex quantum well structure or single quantum well structure with the composition ununiformity of an InGaIn well layer — an exciton carries out localization to a rich energy potential well layer, and the localization exciton is formed A radiant power output improves by this localization exciton luminescence. That is, when such single thickness carries out the laminating of the thin film which is dozens of A, a well layer and a barrier layer do not grow by uniform thickness, but the irregular layer is in the state where it overlapped several times over. If double heterostructure which sandwiches an irregular barrier layer in a clad layer with a larger band gap than a barrier layer is realized, the electron and hole which were poured into the barrier layer will come to be confined also in a crevice, and will be confined in both directions in every direction with lengthwise [of a clad layer]. For this reason, it comes to be shut up by the quantum box with which a carrier consists of InGaIn which is three dimensions with an about 10–70Å irregularity difference, or the quantum disk, and the quantum effect different from the conventional quantum well structure appears.

[0020] Next, as shown in drawing 1 (c), the nitride semiconductor layers 3 and 4 (the nitride semiconductor layer containing acceptor impurity is hereafter called p type layer.) containing acceptor impurity are grown up on a barrier layer 2. Since the easiest Light Emitting Diode structure is shown, although p type layer consists of a p type clad layer 3 and a p type contact layer 4 in this drawing, p type layer which has composition different if needed can anywhere newly be inserted besides these p type layers, if it is on a barrier layer. in addition, the thing for which these p type layers perform annealing after growth — further — low — p type layer [****] is realizable

[0021] n type layer 1 is grown up by thickness 20 micrometers or more on a substrate 10 as mentioned above, and p type layers 3 and 4 are grown up at least on the n type layer 1. In addition, even if it may grow up a buffer layer 11 between n type layer 1 and a substrate 10 and grows up a barrier layer 2 between n type layer 1 and p type layer 3, n type layer (for example, n type clad layer) which is within the limits of this invention, and consists of other composition between n type layer 1 and a barrier layer 2 can also be grown up.

[0022] Next, after growing up the element structure which consists of a nitride semiconductor, a wafer is picked out from a reaction container, and a substrate 10 is removed as shown in drawing 1 (d). There are meanses, such as polish and etching, in removing a substrate 10. If it is polish, polishing will be performed after wrapping using SiC powder and diamond powder. If it is chemical etching, it is removable by dissolving a substrate side with the mixed acid of a sulfuric-acid + phosphoric acid, and a sulfuric-acid + hydrogen peroxide. In addition, the buffer layer 11 is removed in drawing 1, and a buffer layer 11 is very a film, and with technology, such as etching and polish, since a substrate is not necessarily removed by flat-surface homogeneity in the precision of dozens of Å, nature and a buffer layer 11 are also removed. Thus, the front face of n type layer 1 which consists of a nitride semiconductor, and the front face of p type layer 4 can produce the wafer exposed up and down.

[0023] Drawing 1 (e) shows the nitride semiconductor chip structure started in the shape of a chip from the wafer of (d). The n electrode 20 is formed in the front face of n type layer 1 equivalent to a base, and the electrode which consists of the p electrode 21 and the pad electrode 22 of a translucency is formed in p type contact layer 4 of the best layer. The p electrode 21 is a metal electrode of a translucency, for example, it has obtained p type contact layer 4 and desirable ohmic contact while being formed by thickness 0.1 micrometers or less. the hydrogen which the p electrode 21 of a translucency can observe luminescence of a barrier layer 2 from p type layer side, and is contained in p type layer since thickness is thin — the time of annealing — penetrating — low — it has contributed to realization of p type layer [****] Since the translucency of electrode 21 will become easy to separate if direct wiring bonding of the pad electrode 22 is carried out to the p electrode 21 of a translucency, while preventing peeling of the p electrode 21, the wire-bonding position is clarified again. Moreover, if a pad electrode is in p electrode 21 contact position, bonding positioning at the time of wiring bonding will become easy, and the element yield will improve.

[0024] A different place from the technology in which the 1st mode of this invention manufactures the substrate of the conventional GaN is located in the place which forms the barrier layer and p type layer, produces the structure of the

It ment itself after growing up n type layer, and removes a substrate after that. Thus, the mass-production nature of an element becomes good by making to limit structure, without taking out the nitride semiconductor grown up at once from a reaction container. Moreover, in order not to take out a substrate from a reaction container until limit structure is done, oxidation of the substrate of the nitride semiconductor growth side by touching air and transformation can be prevented.

[0025] Drawing 2 (f) - (j) is the type section view showing the partial structure of the wafer obtained in each process of the 2nd mode of this invention. The 2nd mode of this invention is explained based on these drawings.

[0026] The substrate 10 shown in drawing 2 (f) consists of a spinel. In the 2nd mode, a substrate leads to be a spinel.

Because, unlike the 1st mode, since the 2nd mode grows up n type layer on a substrate 10, it removes a substrate.

Therefore, in case the direction into which n type layer of single composition is grown up by the thick film moving n type layer in a reaction container again and performs a crystal growth at the elevated temperature of 1000 degrees C or more, it is desirable in order to prevent physical deformation like the curvature of the crystal injury on the crack of n type layer, a chip, etc., and n type layer. In order to grow up n type layer of single composition by the thick film, what a spinel substrate is the easiest to grow up is as the 1st mode having described.

[0027] A buffer layer 11 is grown up in contact with this spinel substrate 10. Especially the buffer layer 11 does not replace the 1st mode.

[0028] Next, in contact with this buffer layer 11, n type layer 1 is grown up by thickness 20 micrometers or more. As for this n type layer 1, in the 2nd mode, it is desirable single nitride semiconductor composition and to make it grow up by thickness 20 micrometers or more by GaN preferably. Furthermore, it is preferably desirable [the thickness of n type layer] in the 2nd mode to make it grow up by thickness 120 micrometers or more most preferably 100 micrometers or more still more preferably 50 micrometers or more. This removes a substrate 10 after n type layer 1 growth, produces independent n type layer used as a new substrate, and performs a crystal growth at an elevated temperature on this n type layer further. Since it will be divided during growth or will curve if n type layer used as a substrate is thin, there is a possibility that the laminating of the nitride semiconductor layer of uniform thickness cannot be carried out. Therefore, as for n type layer 1, in the 2nd mode, it is desirable to make it grow up more thickly than the 1st mode.

[0029] Moreover, the 2nd mode as well as the 1st mode dopes donor impurities, such as Si, germanium, and Sn, in n type layer 1. When it is desirable to grow up n type layer which adjusted carrier concentration, it dopes a donor impurity and carrier concentration is adjusted. As for the carrier concentration of n type layer 1, it is desirable to enlarge carrier concentration of the side close to the buffer layer 11, and to make small carrier concentration of the side which is separated from a buffer layer 11.

[0030] Next, a wafer is picked out from a reaction container after n type layer 1 growth, and meanses, such as polish and etching, remove a substrate 10; as shown in drawing 2 (h). By removing a substrate, the wafer which consists of an n type layer 1 which the 1st principal plane and 2nd principal plane exposed is producible. Moreover, drawing 2 (h) of this cause is the same as that of the 1st mode, although the buffer layer 11 is removed similarly.

[0031] Furthermore, in the 2nd mode, it is desirable after substrate 10 removal to make into the shape of a mirror plane the front face of n type layer 1 into which it is going to grow up the nitride semiconductor layer which has other conductivity types. Although there are polish besides chemical etching and a physical etching means like dry etching in order to consider as the shape of a mirror plane, like a sulfuric-acid + phosphoric acid, and since danger is also high, polish is the most desirable [a solvent]. [the solvent which can etch a nitride semiconductor] Thus, by making one field of the n type layers 1 into the shape of a mirror plane, the nitride semiconductor to which the field direction was equal can be grown up.

[0032] Next, as shown in drawing 2 (i), the laminating of a barrier layer 2, p type clad layer 3, and the p type contact layer 4 is carried out to order on the front face of n type layer 1. The same thing as the barrier layer stated in the 1st mode of a barrier layer 2 is the most desirable. Moreover, you may grow up other layers which consist of an n type nitride semiconductor which has different composition from n type layer 1 between a barrier layer 2 and n type layer 1. It is the same as the 1st mode also about p type clad layer 3 and p type contact layer 4, and if needed, as long as it is on a barrier layer, you may insert in a layer of what p type layer which has different composition.

[0033] Although the nitride semiconductor chip structure started in the shape of a chip from the wafer of (i) is not shown and especially the operation effect of the translucency electrode 21 and the pad electrode 22 does not differ from the 1st mode, the point that this chip differs from the chip of drawing 1 (e) has drawing 2 (h) in the place which is *****ing n type layer 1 under a barrier layer 2. That is, between the etching slot which was made to expose n type layer which ***** p type layer and is under a barrier layer 2, and was exposed, and the etching slot, a wafer is cut and it is made the letter of a chip. This operation is as follows. According to this invention, since a substrate serves as a nitride semiconductor, the cleavage of the nitride semiconductor can be carried out. However, the nitride semiconductor is difficult for making all into the rectangular letter of a chip by the cleavage because of the crystal form called hexagonal system. Therefore, one of fields cannot but take cutting means, such as dicing. Since a nitride semiconductor has the very hard property of a crystal, if a dicing end face is missing when dicing is carried out, and it becomes easy to generate a crack etc. and such a crystal defect occurs especially in the end face of a barrier layer, the reliability of the element itself will fall. Therefore, since the edge of a blade at the time of dicing can be prevented from touching a barrier-layer end face by *****ing to n type layer below a barrier layer, the reliability of an element improves. This configuration of (j) is applicable similarly in the 1st mode.

[0034]

[Exempl] Although how to grow up a nitride semiconductor by the MOCVD method is described hereafter, the method of this invention is applicable to all the methods by which the conventional process is made in order to grow up nitride semiconductors, such as not only MOCVD but MBE, HDVPE, etc. Moreover, about element structure, only the typical Light Emitting Diode element and LD element are described, and structure is not limited to this example, either.

[0035] [Example 1] (the 1st mode)

It carries out based on drawing 1, and the 1st mode of this invention is explained. (111) Passing hydrogen, after setting the spinel substrate 10 (MgAl₂O₄) which makes a field growth side in a reaction container and replacing the inside of a reaction container enough from hydrogen, raise the temperature of a substrate to 1050 degrees C, and clean a substrate.

[0036] The temperature is lowered to 510 degrees C, hydrogen is used for carrier gas, ammonia and TMG (trimethylgallium) are used for material gas, and the buffer layer 11 which consists of GaN on a spinel substrate is grown up by about 200Å thickness. AlN, GaN, AlGaIn, etc. are grown at 900 degrees C or less in the temperature, and can form a buffer layer by the 10Å - hundreds of Å thickness number. It is also possible to omit depending on the growth method of a nitride semiconductor, although it is formed in order that this buffer layer may ease the lattice constant mismatch of a substrate and a nitride semiconductor.

[0037] Only TMG is stopped after buffer layer 11 growth, and temperature is raised to 1030 degrees C. If it becomes 1030 degrees C, similarly, TMG and ammonia gas will be used for material gas, silane gas will be used for dopant gas, and as shown in drawing 1 (b), an Si-doped n-type GaN layer will be grown up by 100-micrometer thickness as an n-type contact layer 1. n-type contact layer 1 makes the following 50 micrometers of low carrier concentration for 50 micrometers from the beginning as n+ of high carrier concentration. By being able to constitute n-type contact layer from In_xAl_yGa_{1-x-y}N (0 ≤ x, 0 ≤ y, x+y ≤ 1), and constituting from GaN, InGaIn, and GaN that doped Si also in it especially, n-type layer with high carrier concentration is obtained, and a negative electrode and desirable ohmic contact are obtained. OMIKKU with a metal or alloys desirable as a material of a negative electrode, such as aluminum, Ti, W, Cu, Zn, Sn, and In, is obtained.

[0038] Next, TMG, TMI, and ammonia are used for material gas, temperature is held at 800 degrees C, and the barrier layer 2 which consists of single quantum well structure (SQW) which consists of non-doped In_{0.2}Ga_{0.8}N is grown up by 30Å thickness. If it is the single quantum well structure or multiplex quantum well structure containing the well layer which consists of a barrier layer 2 of InGaIn, the high power light emitting device for about 365nm - 660nm is realizable by luminescence between quantum level. It is desirable to adjust a well layer to 70Å or less, and to adjust a barrier layer to the thickness of 150Å or less with multiplex quantum well structure. It is desirable to adjust to thickness 70Å or less with single quantum well structure on the other hand.

[0039] Next, temperature is raised at 1050 degrees C and p-type clad layer 3 which consists of Mg-doped p-type aluminum_{0.2}Ga_{0.8}N is grown up by 0.5-micrometer thickness. As for the p-type clad layer grown up in contact with a barrier layer, it is desirable the nitride semiconductor containing aluminum and to grow up AlGaIn preferably. Although a p-type crystal is obtained by being able to mention II group elements, such as Mg, Zn, and Cd, as acceptor impurity for making it p-type, and doping such acceptor impurity during nitride semiconductor growth, annealing of the crystal which doped the acceptor impurity after growth preferably is carried out, and still more desirable p-type is obtained by removing the hydrogen combined with acceptor impurity out of a crystal.

[0040] Next, p-type contact layer 4 which consists of Mg-doped p-type GaN at 1050 degrees C is grown up by 0.5-micrometer thickness. The cross section after growth is drawing 1 (c). p-type contact layer 4 can be constituted from p-type In_xAl_yGa_{1-x-y}N (0 ≤ x, 0 ≤ y, x+y ≤ 1), especially if InGaIn, GaIn, and p-type GaN that doped Mg also in it, p-type layer with the highest carrier concentration will be obtained, and a positive electrode and good ohmic contact will be obtained. OMIKKU is easy to obtain a metal or alloys with a comparatively high work function, such as nickel, Pd, Ir, Rh, Pt, Ag, and Au, as a material of a positive electrode.

[0041] A wafer is picked out from a reaction container after a reaction end, the spinel substrate 10 of the side into which the nitride semiconductor is not grown up using a grinder is wrapped, and as shown in drawing 1 (d), the spinel substrate 10 and a buffer layer 11 are removed. After buffer-layer removal, n-type contact layer 1 by the side of a buffer layer is polished further, and it considers as the shape of a mirror plane.

[0042] Next, the wrapped wafer is transported to annealing equipment, and 1000-degree C annealing is performed in ammonia atmosphere. This annealing has the operation which prepares the crystallinity of the whole crystal by carrying out below 300 degrees C or more and 1200 degrees C, and carrying out in atmosphere including sources of N, such as ammonia and nitrogen.

[0043] After annealing and in annealing equipment, it is among the atmosphere which does not contain H (nitrogen-gas-atmosphere mind), annealing is shortly performed at 700 degrees C, and p-type layer is further formed into low resistance. By carrying out in the atmosphere which does not usually contain H above 400 degrees C, this annealing removes the hydrogen combined with acceptor impurity out of a crystal, and has the operation which forms p-type layer into low resistance further.

[0044] After annealing, mostly, the n-electrode 20 of the front face of n-type contact layer 1 which polished which contains Ti and aluminum on the whole surface is formed by 2-micrometer thickness, and, on the other hand, the p-electrode 21 of the translucency of p-type contact layer 4 which contains nickel and Au on the whole surface is formed by 100Å thickness. In order to obtain desirable ohmic contact on the front face of p-type contact layer 4, as for electrode thickness, it is desirable to make it 1000Å or less and to make it a translucency. That is because hydrogen secedes from p-type layer through a translucency electrode and low-resistance p-type layer further at the time of electrode annealing. Next, focusing on the simultaneously of the p-electrode 20, the pad electrode 22 of 2 micrometers of thickness is formed.

[0045] The cleavage of the nitride semiconductor wafer is carried out after the above process end using the cleavage nature of n-type contact layer 1, and it considers as the Light Emitting Diode element of 250-micrometer angle. This Light Emitting Diode element has n-electrode and p-electrode which counter up and down, and is a forward current. (If) In 20mA, forward voltage (V_f) 3.5V, 5mW of radiant power outputs, and the outstanding property were shown.

[0046] In the [example 2] example 1, the buffer layer which a sapphire (0001) side is used for a substrate, and also consists of GaN on silicon on sapphire like an example 1 is formed by 200Å thickness.

[0047] Next, 5 micrometers of Si-doped n-type GaN layers are grown up on this buffer layer. Next, temperature is made into 800 degrees C and 500Å Si-doped In_{0.1}Ga_{0.9}N layer is grown up on an Si-doped n-type GaN layer. Next, similarly 5 micrometers of Si-doped n-type GaN(s) are grown up, and 500Å of Si-doped n-type In_{0.1}Ga_{0.9}Ns is grown up further. This operation is repeated 16 times and n-type contact layer of the 60.6 micrometers of the total thickness is grown up. It is a forward current when the Light Emitting Diode element was produced like the example 1 after this. (If) In 20mA, they were forward voltage (V_f) 4V and 2mW of radiant power outputs.

[0048] [Example 3] (the 2nd mode)

It carries out based on drawing 2, and the 2nd mode of this invention is explained. The spinel substrate 10 (MgAl₂O₄) which makes a flat (111) a growth side is cleaned like an example 1, the buffer layer 11 which consists of GaN on the

spinel substrate 10 is grown up by 200A thickness, and an Si doped n type GaN layer is grown up by 100-micrometer thickness as an n type contact layer 1 equipped with n⁺ and n-layer on this buffer layer. Drawing 2 (g)

[0049] A wafer is picked out from a reaction container after growth, and the spinel substrate 10 of the side into which the nitride semiconductor is not grown up using a grinder is wrapped, and as shown in drawing 2 (h), the spinel substrate 10 and a buffer layer 11 are removed, and it considers as n type contact layer 1 wafer. Furthermore, n type contact layer side by the side of low carrier concentration (n⁻) is polished, and it considers as the shape of a mirror plane.

[0050] n type contact layer substrate is transported to a reaction container after polishing, and 1000-degrees C annealing is performed in ammonia atmosphere. In addition, n type contact layer side by the side of low carrier concentration made into the shape of a mirror plane is made into the growth side of a nitride semiconductor.

[0051] Next, the barrier layer 2 of SQW structure is grown up into the front face of n type contact layer 1 which polished like the example 1 by 30A thickness, p type clad layer 3 which consists of Mg doped p type aluminum_{0.2}Ga_{0.8}N on the barrier layer is grown up by 0.5-micrometer thickness, and p type contact layer 4 which consists of Mg doped p type GaN is grown up by 0.5-micrometer thickness. The cross section after growth is drawing 2 (i). Moreover, before growing up a barrier layer 2, the buffer layer which becomes the front face of n type contact layer 1 from GaN, InGa_N, and AlGa_N can also be grown up.

[0052] Annealing is performed at 700 degrees C among the atmosphere, for example, atmosphere, such as nitrogen and Ar, which does not contain H after a reaction end and in a reaction container, and p type layer is further formed into low resistance.

[0053] A wafer is picked out from a reaction container after annealing. RIE (reactive ion etching) etching is performed in a grid pattern by width of face of 10 micrometers from p type contact layer 4 side, and as shown in drawing 2 (h), the flat surface of n type contact layer is exposed.

[0054] Next, like an example 1, the n electrode 20 of the front face of n type contact layer 1 into which the nitride semiconductor is not grown up which contains Ti and aluminum on the whole surface is formed by 2-micrometer thickness, the p electrode 21 of the translucency of p type contact layer 4 which contains nickel and Au on the whole surface is formed by 100A thickness, and, on the other hand, the pad electrode 22 of 2 micrometers of thickness is mostly formed in the center of a simultaneously of the p electrode 20.

[0055] A nitride semiconductor wafer is cut after the above process end using a dicer between an etching slot and an etching slot, and it considers as the light emitting device of 350-micrometer angle. This light emitting device also has n electrode and p electrode which counter up and down, and showed Vf3.5V, 5mW of radiant power outputs, and the outstanding property in If20mA.

[0056] [Example 4] drawing 3 is the typical cross section showing the structure of the laser element obtained by the method of this invention, and shows drawing at the time of specifically cutting an element in a direction perpendicular to the resonance direction of a laser beam. Hereafter, how to manufacture LD by the method of this invention based on drawing 3 is described.

[0057] In an example 3, the spinel substrate 10 and a buffer layer 11 are removed, after installing n type contact layer 1 wafer which consists of an Si doped GaN of 100 micrometers of thickness which polished the growth side in a reaction container, temperature is made into 800 degrees C, silane gas is used for TMG, TMI (trimethylindium), ammonia, and impurity gas at material gas, and the crack prevention layer 101 which consists of Si doped In_{0.1}Ga_{0.9}N is grown up by 500A thickness. The n type nitride semiconductor containing In, and by making it grow up by InGa_N preferably, it becomes possible to grow up 1st n type nitride semiconductor layer 102 containing aluminum grown up into a degree of this crack prevention layer 101 by the thick film, and it is very desirable. In the case of LD, it is necessary to grow up an optical confinement layer and the becoming layer by thickness 0.1 micrometers or more preferably. Although element production was difficult in the former since the crack went into AlGa_N grown up later when AlGa_N of a thick film was directly grown up on GaN and the AlGa_N layer, it can prevent that a crack goes into 1st n type nitride semiconductor layer 102 in which this crack prevention layer 101 contains aluminum grown up into a degree. In addition, as for this crack prevention layer, it is desirable to make it grow up by thickness (100A or more and 0.5 micrometers or less). If thinner than 100A, it will be hard to act as crack prevention as mentioned above, and when thicker than 0.5 micrometers, it is in the inclination for the crystal itself to be discolored in black. In addition, this crack prevention layer 101 is also omissible depending on the conditions of the growth method, growth equipment, etc.

[0058] Next, temperature is made into 1030 degrees C, TMA (trimethylaluminum), TMG, NH₃, and SiH₄ are used for material gas, and 1st n type nitride semiconductor layer 102 which consists of Si doped n type aluminum_{0.2}Ga_{0.8}N is grown up by 0.5-micrometer thickness. As for this 1st n type nitride semiconductor layer 102, it is desirable the nitride semiconductor which acts as a carrier confining layer and an optical confinement layer, and contains aluminum as mentioned above, and to grow up AlGa_N preferably, and it can form a crystalline good carrier confining layer by growing up still more preferably 100A or more 2 micrometers or less by 500A or more and 1 micrometer or less.

[0059] Temperature is lowered to 800 degrees C and 2nd n type nitride semiconductor layer 103 which consists of Si doped n type GaN is grown up by 0.2-micrometer thickness. As for this 2nd n type nitride semiconductor layer, it is desirable to act as a light-guide layer and to grow up GaN and InGa_N, and it is usually desirable to make it grow up by 200A - 1 micrometer thickness still more preferably 100A - 5 micrometers.

[0060] Next, the barrier layer into which TMG, TMI, and ammonia are used for material gas, and a barrier layer 2 is grown up holds temperature at 800 degrees C, and grows up the well layer which consists of non doped In_{0.2}Ga_{0.8}N first by 25A thickness. Next, the barrier layer which consists of non doped In_{0.01}Ga_{0.99}N at the same temperature only by changing the molar ratio of TMI is grown up by 50A thickness. This operation is repeated twice and the barrier layer 2 of the multiplex quantum well structure which carried out the laminating of the well layer the last is grown up.

[0061] Next, temperature is raised to 1050 degrees C and 1st p type nitride semiconductor layer 104 which bandgap energy comes from a barrier layer from large Mg doped p type aluminum_{0.1}Ga_{0.9}N is grown up by 300A thickness using TMG, TMA, NH₃, and Cp₂Mg (magnesium cyclopentadienyl). Although this 1st p type nitride semiconductor layer 104 is good also as an i type with which n type impurity was doped and the carrier was compensated since thickness was thin although considered as p type in this example, let it be p type most preferably. 0.1 micrometer thickness or less of 500A or less of thickness

of 1st p type nitride semiconductor layer 104 are most preferably adjusted to 300Å or less still more preferably. When it is made to grow up by thickness thicker than 0.1 micrometers, it is the shell a crack becomes easy to enter into the 1st nitride semiconductor layer, and a crystalline good nitride semiconductor layer cannot grow up to be easily. It becomes impossible moreover, for a carrier to pass this energy barrier by the tunnel effect. Moreover, if AlGaIn with the larger composition ratio of aluminum forms thinly, it will be easy to oscillate LD element. For example, if Y values are 0.2 or more AlYGa1-YN(s), adjusting to 500Å or less is desirable. Although especially the minimum of the thickness of the 1st nitride semiconductor layer 104 does not limit, it is desirable to form by thickness 10Å or more.

[0062] Then, 2nd p type nitride semiconductor layer 105 which bandgap energy becomes from Mg doped p type GaN smaller than 1st p type nitride semiconductor layer 104 at 1050 degrees C is grown up by 0.2-micrometer thickness. As for this layer, it is desirable to act as a light-guide layer and to make it grow up by GaN and InGaIn as well as 2nd n type nitride semiconductor 103. Moreover, this layer acts as a desirable light-guide layer by acting also as a buffer layer at the time of growing up 3rd p type nitride semiconductor layer 106, and growing up 100Å - 5 micrometers by 200Å - 1 micrometer thickness still more preferably.

[0063] Then, 3rd p type nitride semiconductor layer 106 which bandgap energy becomes from larger Mg doped p type aluminum 0.2Ga0.8N than the 2nd nitride semiconductor layer 105 at 1050 degrees C is grown up by 0.5-micrometer thickness. As well as 1st n type nitride semiconductor layer 102, as for this layer, it is desirable the nitride semiconductor which acts as a carrier confining layer and an optical confinement layer, and contains aluminum, and to grow up AlGaIn preferably, and it can form a crystalline good carrier confining layer by growing up still more preferably 100Å or more 2 micrometers or less by 500Å or more and 1 micrometer or less.

[0064] In the case of the barrier layer which has the well layer which consists of InGaIn like this example, the barrier layer is touched. 1st p type nitride semiconductor layer 104 containing aluminum of 0.1 micrometers or less of thickness is formed. 2nd p type nitride semiconductor layer 105 with BADD gap energy smaller than 1st p type nitride semiconductor layer is formed in the position which is distant from a barrier layer from the p type nitride semiconductor layer. It is very more desirable than the 2nd p type nitride semiconductor layer 105 to form 3rd p type nitride semiconductor layer 106 which consists of a nitride semiconductor containing aluminum with a larger band gap than 2nd p type nitride semiconductor layer 105 in the position distant from the barrier layer. And since the thickness of this 1st p type nitride semiconductor layer 104 is thinly set up with 0.1 micrometers or less, the electron hole which did not act as barrier of a carrier and was poured in from p layers can pass through 1st p type nitride semiconductor layer by the tunnel effect, and recombines efficiently by the barrier layer, and the output of LD improves. That is, since a carrier does not overflow a barrier layer but it is prevented in 1st p type nitride semiconductor layer 104 whether the temperature of a semiconductor device rises since the poured-in carrier has the large bandgap energy of 1st p type nitride semiconductor layer 104, or inrush current density increases, a carrier accumulates in a barrier layer and becomes possible [emitting light efficiently]. Therefore, since it is rare for luminous efficiency to fall even if a semiconductor device carries out a temperature rise, low LD of a threshold current is realizable.

[0065] Finally, p type contact layer 4 which consists of Mg doped p type GaN at 1050 degrees C on 3rd p type nitride semiconductor layer 106 is grown up by 0.5-micrometer thickness.

[0066] After a reaction end, temperature is lowered to a room temperature, a wafer is picked out from a reaction container, annealing of a wafer is performed at 700 degrees C, and p type layer is further formed into low resistance.

[0067] p type contact layer 4 of the best layer and 3rd p type nitride semiconductor layer 106 are *****ed by RIE after annealing, and it considers as the ridge configuration which has stripe width of face of 2 micrometers. Thus, by making into a stripe-like ridge configuration p type layer which exists above a barrier layer, luminescence of a barrier layer comes to concentrate on the bottom of a stripe ridge, and a threshold falls. And as shown in drawing 3, the p electrode 21 which consists of nickel and Au is formed in the front face of p type contact layer 4 in the shape of a stripe. In addition, especially since the p electrode 21 is a laser element, it is not necessary to make it into a translucency. On the other hand, the n electrode 20 which consists of Ti and aluminum is formed all over the simultaneously of n type contact layer 1 of the side which does not form the nitride semiconductor layer.

[0068] Next, the cleavage of the wafer is carried out to the shape of a bar in a direction perpendicular to a stripe-like electrode, and a resonator is produced to a cleavage plane. Since a substrate is GaN, a resonator is easily producible using the cleavage nature of GaN. In this case, a cleavage plane is [External Character 1] of a nitride semiconductor.
(1 I O O)

It considers as a field. Outside, in the 1st page, when a nitride semiconductor is approximated by the hexagonal system of a right hexagonal prism, it is a field equivalent to the field (Mth page) of the square equivalent to the side of the hexagonal prism. In addition, an end face is *****ed by dry etching means, such as RIE, and a resonator can also be produced. Moreover, it is also possible to carry out mirror polishing of the cleavage plane, and to create it in addition to this.

[0069] The dielectric multilayer which consists of SiO2 and TiO2 was formed in the resonator side after the cleavage, and finally, in the direction parallel to p electrode, the bar was cut and it considered as the laser chip. Next, the chip was installed in the heat sink by the face down (state to which =p electrode countered the heat sink), and when laser oscillation was tried in ordinary temperature, continuous oscillation with an oscillation wavelength of 400nm was checked by threshold current density 2 kA/cm2. thus, since face down bonding can be performed to preparation if GaN is used as a substrate, the thermolysis nature of a chip is markedly alike, and improves, and the continuous oscillation of it becomes possible
[0070]

[Effect of the Invention] Since the element which used the gallium-nitride system compound semiconductor as the substrate can be manufactured according to the method of this invention as explained above, even if it does not consider as the structure which took out two kinds of electrodes from the same field side like before, it can consider as the electrode structure which counted in the vertical direction. since a chip size can furthermore also be made small and the number of chip persons from the wafer of single area increases, ***** can be fallen. Moreover, since GaN is a substrate, in the device which needs the resonance side near a mirror plane like LD, a resonance side can be easily produced by the cleavage of GaN, and the utility value on the industry is very large.

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The type section view showing the structure of the wafer for explaining each process of the 1st mode of this invention.

[Drawing 2] The type section view showing the structure of the wafer for explaining each process of the 2nd mode of this invention.

[Drawing 3] The type section view showing the structure of the laser element obtained by the method of this invention.

[Description of Notations]

- 1 ... n type contact layer
- 2 ... Barrier layer
- 3 ... p type clad layer
- 4 ... p type contact layer
- 10 ... Substrate
- 11 ... Buffer layer
- 20 ... n electrode
- 21 ... p electrode
- 22 ... Pad electrode

[Translation done.]

特開平10-117016

(43) 公開日 平成10年(1998)5月6日

(51) Int. Cl.⁶

識別記号

F I

H 0 1 L 33/00

H 0 1 L 33/00

C

H 0 1 S 3/18

H 0 1 S 3/18

審査請求 未請求 請求項の数 7

O L

(全10頁)

(21) 出願番号 特願平8-270375

(22) 出願日 平成8年(1996)10月14日

(71) 出願人 000226057

日亜化学工業株式会社

徳島県阿南市上中町岡491番地100

(72) 発明者 中村 修二

徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内

(72) 発明者 岩佐 成人

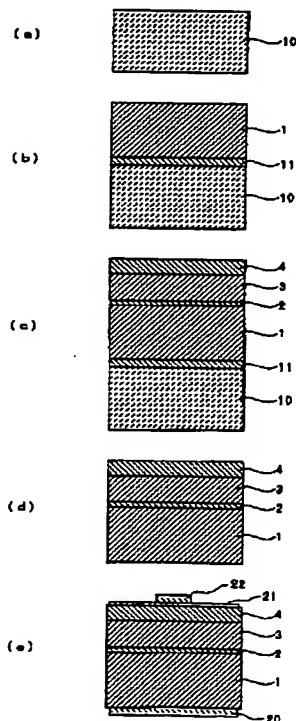
徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内

(54) 【発明の名称】 窒化物半導体素子の製造方法

(57) 【要約】

【目的】 窒化物半導体よりなるデバイス素子を製造するにあたり、基板に窒化物半導体を用いた素子を実現できる製造方法を提供する。

【構成】 基板上部にn型窒化物半導体層を20 μ m以上の膜厚で成長させる工程と、該n型窒化物半導体層上部に少なくとも、アクセプター不純物を含む窒化物半導体層を成長させる工程と、アクセプター不純物を含む窒化物半導体層成長後に基板を除去する工程とを備えるか、若しくはスピネル基板上部にn型窒化物半導体層を20 μ m以上の膜厚で成長させる工程と、n型窒化物半導体層成長後に基板を除去する工程と、基板除去後のn型窒化物半導体層上部に少なくとも、アクセプター不純物を含む窒化物半導体層を成長させる工程を備える。



【特許請求の範囲】

【請求項 1】 基板上部に n 型窒化物半導体層を $20\mu\text{m}$ 以上の膜厚で成長させる工程と、該 n 型窒化物半導体層上部に少なくとも、アクセプター不純物を含む窒化物半導体層を成長させる工程と、アクセプター不純物を含む窒化物半導体層成長後に基板を除去する工程とを備えることを特徴とする窒化物半導体素子の製造方法。

【請求項 2】 前記基板がスピネルよりなることを特徴とする請求項 1 に記載の窒化物半導体素子の製造方法。

【請求項 3】 前記アクセプター不純物を含む窒化物半導体層成長後、窒素源を含む雰囲気中でアニーリングし、その後水素源を含まない雰囲気中でアニーリングする工程を含むことを特徴とする請求項 1 または 2 に記載の窒化物半導体素子の製造方法。

【請求項 4】 スピネル基板上部に n 型窒化物半導体層を $20\mu\text{m}$ 以上の膜厚で成長させる工程と、n 型窒化物半導体層成長後に基板を除去する工程と、基板除去後の n 型窒化物半導体層上部に少なくとも、アクセプター不純物を含む窒化物半導体層を成長させる工程を備えることを特徴とする窒化物半導体素子の製造方法。

【請求項 5】 前記 n 型窒化物半導体層成長後、その n 型窒化物半導体層の表面を鏡面状とすることを特徴とする請求項 4 に記載の窒化物半導体の製造方法。

【請求項 6】 前記基板除去後、n 型窒化物半導体を窒素源を含む雰囲気中でアニーリングする工程と、その後アクセプター不純物を含む窒化物半導体層成長後、水素源を含まない雰囲気中でアニーリングする工程とを備えることを特徴とする請求項 4 または 5 に記載の窒化物半導体素子の製造方法。

【請求項 7】 前記 n 型窒化物半導体層は p 型窒化物半導体層に接近した側のキャリア濃度を小さくして、p 型窒化物半導体から離れた側のキャリア濃度を大きくすることを特徴とする請求項 1 乃至 7 の内のいずれか 1 項に記載の窒化物半導体の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は LED（発光ダイオード）、LD（レーザダイオード）等の発光デバイス、太陽電池、光センサー等の受光デバイスに使用される窒化物半導体（ $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 、 $0 \leq x$ 、 $0 \leq y$ 、 $x+y \leq 1$ ）素子の製造方法に関する。

【0002】

【従来の技術】窒化物半導体は青色発光 LED、緑色発光 LED として現在実用化されている。窒化物半導体は格子整合した基板が存在しないために、格子定数が 13.5% も異なるサファイア基板上に直接形成した数百オングストロームの膜厚の AlN、Ga N バッファ層を介して成長されている。一方、格子整合した基板となる Ga N のバルク結晶を作製する試みが外国研究期間において行われているが、現在のところ、Ga N のバルク結

晶は 1200°C 以上、1 万気圧以上の高温高圧雰囲気中でしか成長できず、しかも、数ミリ ϕ 程度の小さな結晶しか得られていないのが実状である。

【0003】バルク単結晶による Ga N 基板が期待できないため、Ga N 厚膜を基板とする技術が例えば特開平 8-116090 号に示されている。この技術によると、GaAs、GaP、InP、Si 等の基板上に、バッファ層を介して Ga N を $50 \sim 200\mu\text{m}$ の膜厚で形成し、その後基板を研磨、化学エッチング等の手段により除去して、残留した Ga N 層の上に新たに n 型層、p 型層を含む窒化物半導体を成長させる。

【0004】またこの他、特開平 7-165498 号には、基板の上にバッファ層と Ga N 単結晶層とを繰り返して成長させて、Ga N 基板を作成する方法が記載されており、特開平 7-202265 号にはサファイア基板に ZnO よりなるバッファ層を成長させ、そのバッファ層上に厚膜の Ga N を成長させた後、ZnO を溶解除去することにより、厚膜の Ga N 単結晶基板を得る方法が示されている。さらに、特開平 7-94784 号には Ga N 単結晶基板の上に互いに異なる導電型の窒化物半導体層を積層した発光デバイスが開示されている。

【0005】

【発明が解決しようとする課題】このように、窒化物半導体を成長させるための Ga N 基板には、数々の技術が提案されているが、この Ga N を基板とした窒化物半導体は未だ出現しておらず、現実的には、数十 μm 以上の厚膜 Ga N を基板に有する各種デバイス素子を製造するのは非常に難しい。

【0006】従って、本発明の目的とするところは、窒化物半導体よりなるデバイス素子を製造するにあたり、基板に窒化物半導体を用いた素子を実現できる製造方法を提供することにある。

【0007】

【課題を解決するための手段】本発明の窒化物半導体素子素子の製造方法は 2 種類の態様からなり、第 1 の態様は、基板上部に n 型窒化物半導体層（以下、n 型層という。）を $20\mu\text{m}$ 以上の膜厚で成長させる工程と、該 n 型層上部に少なくとも、アクセプター不純物を含む窒化物半導体層を成長させる工程と、アクセプター不純物を含む窒化物半導体層成長後に基板を除去する工程とを備えることを特徴とする。特に本発明の第 1 の態様においては基板にスピネル（ MgAl_2O_4 ）を用い、その中でもスピネル基板の（111）面を窒化物半導体の成長面とすることが望ましい。

【0008】本発明の第 1 の態様では、アクセプター不純物を含む窒化物半導体層成長後、窒素を含む雰囲気中でアニーリング（熱処理）し、その後水素源を含まない雰囲気中でアニーリングする工程を含むことを特徴とする。窒素源を含む雰囲気中でアニーリングするのは、N 源を供給することにより、窒化物半導体の分解を防止し

て結晶性を整えるためにである。そのためN源としてはアンモニア、ヒドラジン等を用い300℃～1200℃の雰囲気中でアニーリングすることが望ましい。最も結晶性が良くなるのは400℃以上である。H源を含まない雰囲気中でアニーリングするのは、反応中、あるいは前記N源アニーリングにより、アクセプター不純物と結合したHを結晶中より除去し、アクセプター不純物をドーブした窒化物半導体層をさらに低抵抗にするためにである。このアニーリングも400℃以上で行うことが望ましい。

【0009】また本発明の第2の態様は、スピネル基板上部にn型層を20μm以上の膜厚で成長させる工程と、n型層成長後に基板を除去する工程と、基板除去後のn型層上部に少なくとも、アクセプター不純物を含む窒化物半導体層を成長させることを特徴とする。また、本発明の第2の態様においても、スピネル基板の(111)面を窒化物半導体の成長面とすることが望ましい。

【0010】なお、本願の請求項において、基板上部成長させるn型層とは、必ずしもn型層を基板に接して成長させるわけではなく、基板に接してGaN、AlN、ZnO等のバッファ層を成長させ、該バッファ層に接して膜厚20μm以上のn型層を成長させることも含まれる。20μm以上の膜厚のn型層は単一組成の窒化物半導体でも良いし、また組成の異なるn型層の薄膜を積層した層でも良い。同様に、n型層上部にアクセプター不純物をドーブした窒化物半導体層を成長させるとは、必ずしもアクセプター不純物をドーブした窒化物半導体層をn型層に接して成長するわけではなく、n型層にバッファ層、若しくはi型層、または活性層等を接して成長させ、それらのバッファ層、i型層、活性層に接してアクセプター不純物をドーブした窒化物半導体を成長することも含まれる。

【0011】さらに、本発明の第2の態様では、n型層成長後、そのn型層の表面を鏡面状とすることを特徴とする。

【0012】また本発明の第2の態様では、前記基板除去後、n型窒化物半導体を窒素源を含む雰囲気中でアニーリングし、その後アクセプター不純物を含む窒化物半導体層成長後、水素源を含まない雰囲気中でアニーリングすることを特徴とする。基板除去後に、窒素源を含む雰囲気中でアニーリングするのは、第1の態様と同じく、N源を供給することにより、窒化物半導体の分解を防止して結晶性の良い基板を整えるためであり、同様に、アンモニア、ヒドラジン等を用い300℃～1200℃の雰囲気中でアニーリングすることが望ましい。最も結晶性が良くなる温度は400℃以上である。H源を含まない雰囲気中でアニーリングするのは、第1の態様と同じく反応中にアクセプター不純物と結合したHを結晶中より除去し、アクセプター不純物をドーブした窒化物半導体層をさらに低抵抗にするためであり、400℃

以上で行うことが望ましい。また本発明の第1の態様及び第2の態様では、n型層はp型層に接近した側のキャリア濃度を小さくして、p型窒化物半導体から離れた側のキャリア濃度を大きくすることを特徴とする。

【0013】

【発明の実施の形態】図1(a)～(e)は、本発明の第1の態様の各工程において得られるウェーハの部分的な構造を示す模式断面図である。これらの図を元に本発明の第1の態様を説明する。

10 【0014】窒化物半導体の成長方法は特に限定するものではなく、例えばMOVPE(有機金属気相成長法)、HDVPE(ハライド気相成長法)、MBE(分子線気相成長法)等、従来窒化物半導体を成長させるために提案されているあらゆる方法が適用できる。

【0015】図1(a)において10は基板である。窒化物半導体はまずこの基板10の上に成長させる。第1の態様では基板10には、サファイア、スピネル、SiC、GaAs、Si、ZnO等の基板が使用できるが、好ましくはスピネルを用いる。スピネルは他の材料に比較して、単一組成の窒化物半導体を20μm以上の厚膜で成長させることができる。しかもスピネルの(111)面を窒化物半導体の成長面とすると、結晶性の良い窒化物半導体が厚膜で成長できる。なお結晶性の良し悪しは2結晶法X線ロッキングカーブの半値幅を測定することにより判断でき、その半値幅が200秒以下、さらに好ましくは150秒以下、最も好ましくは100秒以下の結晶が得られれば、その窒化物半導体結晶はクラックが少なく、均一な面が得られていると判断できる。スピネルは窒化物半導体との格子定数差が少なく(9%)、また熱膨張係数差が少なく、さらに他の窒化物半導体を成長させる基板に比較して結晶が柔らかいため、厚膜の窒化物半導体を成長させてもクラックが入りにくいという特徴がある。例えばサファイア、SiC等の基板にGaNを10μm以上の膜厚で成長するとクラックが入りやすい傾向がある。

【0016】次に、この基板10に接してバッファ層11を成長させる。バッファ層11は例えばAlN、AlGaN、GaN、InGaN等の窒化物半導体を200℃～900℃の低温で成長させる。バッファ層11は基板10とバッファ層の次に成長させる窒化物半導体との格子不整合を緩和する作用がある。なお、窒化物半導体は半導体自身の格子欠陥によりノンドーブ(不純物をドーブしない)の状態でn型を示す性質があるため、バッファ層11は通常、n型の導電性を示す。

【0017】さらに(b)に示すように、バッファ層11に接して、n型層1を20μm以上の膜厚で成長させる。n型層1はバッファ層よりも高温で成長させる。n型層1を単一組成で20μm以上成長する場合、その組成はGaNとすることが望ましい。GaNはIn若しくはAlを含む窒化物半導体よりも成長させやすく、最も

結晶性の良いものが得られる。また、n型層1は複数のn型層を積層して20 μ m以上とすることもできる。例えばバッファ層11の上にGa_{0.9}Nを5 μ m成長させ、その上にInGa_{0.1}Nを0.1 μ m、さらにGa_{0.9}Nを5 μ m成長させ、それを繰り返して20 μ m以上の膜厚にするといった具合に、薄膜のn型層を積層することもできる。このように薄膜の窒化物半導体を成長させる場合においても、基板10がスピネルであれば、クラックの入りにくいn型層を成長させることができる。なお、窒化物半導体は前記のようにノンドープでもn型にはなるが、好ましくはSi、Ge、Sn等のドナー不純物をドーピングして、キャリア濃度を調整したn型層を成長させることが望ましい。なお、n型層1の膜厚は20 μ m以上、さらに好ましくは50 μ m以上、最も好ましくは100 μ m以上の膜厚で成長させる。20 μ mよりも少ないと、後で基板を除去した際に、ウェーハが割れやすくなって、正確な形状のチップを作製しにくくなるからである。膜厚の上限値は特に規定しないが、通常1mm以下に調整する。

【0018】ドナー不純物をドーピングしてキャリア濃度を調整する場合、n型層1のキャリア濃度はバッファ層11に接近した側のキャリア濃度を大きくし、一方次に成長させる活性層2に接近した側のキャリア濃度を小さくすることが望ましい。このように、p型層に接近した側のキャリア濃度を小さくして、遠ざかった方の側のキャリア濃度を大きくすると、後に基板10を削除して、n型層1側にn電極を形成した際のキャリア注入効率が向上し、発光出力が向上する。

【0019】次に(c)に示すようにn型層1に接して活性層2を成長させる。n型層に接して形成する活性層2の導電型はn型でも、i型でも、p型でもよい。活性層2はInを含む窒化物半導体よりなる井戸層を含むように構成し、好ましくは三元混晶のInGa_{1-x}Nよりなる井戸層が望ましい。三元混晶のInGa_{1-x}Nは四元混晶のものに比べて結晶性が良い物が得られるので、発光出力が向上する。LED素子を作製する場合は活性層は単一の井戸層よりなる単一量子井戸構造(SQW: Single-quantum-well)とする。また、LD素子を作製する場合には、活性層をInGa_{1-x}Nよりなる井戸層と、井戸層よりもバンドギャップの大きい窒化物半導体よりなる障壁層とを積層した多重量子井戸構造(MQW: Multi-quantum-well)とする。障壁層も同様に三元混晶のIn_{x'}Ga_{1-x'}N (0 \leq x' $<$ 1、x' $<$ x)が好ましく、井戸+障壁+井戸+...+障壁+井戸(その逆でも可)となるように積層してMQWを構成する。このように活性層をInGa_{1-x}Nを積層したMQWとすると、量子準位間発光で約365nm~660nm間での高出力なLDを実現することができる。さらに、井戸層の上にInGa_{1-x}Nよりなる障壁層を積層すると、InGa_{1-x}Nよりなる障壁層はAlGa_{1-x}Nに比べて結晶が柔らかい。そのためク

ラッド層のAlGa_{1-x}Nの厚さを厚くできるのでレーザ発振が実現できる。さらに、InGa_{1-x}NとAlGa_{1-x}Nとは結晶の成長温度が異なる。例えば、MOVPE法ではInGa_{1-x}Nは600℃~800℃で成長させるのに対して、AlGa_{1-x}Nは900℃より高い温度で成長させる。従って、InGa_{1-x}Nよりなる井戸層を成長させた後、AlGa_{1-x}Nよりなる障壁層を成長させようとするれば、成長温度を上げてやる必要がある。成長温度を上げると、先に成長させたInGa_{1-x}N井戸層が分解してしまうので結晶性の良い井戸層を得ることは難しい。さらに井戸層の膜厚は数十オングストロームしかなく、薄膜の井戸層が分解するとMQWを作製するのが困難となる。それに対し、障壁層もInGa_{1-x}Nとすると、井戸層と障壁層が同一温度で成長できる。従って、先に形成した井戸層が分解することがないので結晶性の良いMQWを形成することができる。これはMQWの最も好ましい態様を示したものであるが、他に井戸層をInGa_{1-x}N、障壁層をGa_{1-x}N、AlGa_{1-x}Nのように井戸層よりも障壁層のバンドギャップエネルギーを大きくすればどのような組成でもよい。InGa_{1-x}N多重量子井戸構造、若しくは単一量子井戸構造の活性層は、InGa_{1-x}N井戸層の組成不均一によりできるInリッチのエネルギーポテンシャル井戸層に、エキシトンが局在し、局在エキシトンが形成されている。この局在エキシトン発光により発光出力が向上する。つまり、このような単一膜厚が数十オングストロームの薄膜を積層した場合、井戸層、障壁層共、均一な膜厚で成長しておらず、凹凸のある層が幾重にも重なり合った状態となっている。凹凸のある活性層を、活性層よりもバンドギャップの大きいクラッド層で挟むダブルヘテロ構造を実現すると、活性層に注入された電子とホールとが、凹部にも閉じ込められるようになって、クラッド層の縦方向と共に縦横の両方向に閉じ込められる。このため、キャリアが約10~70オングストローム凹凸差がある3次元のInGa_{1-x}Nよりなる量子箱、あるいは量子ディスクに閉じ込められたようになって、従来の量子井戸構造とは違った量子効果が発現する。

【0020】次に図1(c)に示すように、活性層2の上に、アクセプター不純物を含む窒化物半導体層3、4(以下、アクセプター不純物を含む窒化物半導体層をp型層という。)を成長させる。この図では最も簡単なLED構造を示しているため、p型層はp型クラッド層3と、p型コンタクト層4とからなっているが、これらのp型層の他に、必要に応じて異なる組成を有するp型層を、活性層の上であればどこでも新たに挿入することができる。なお、これらのp型層は成長後、アニーリングを行うことによりさらに低抵抗なp型層を実現できる。

【0021】以上のようにして、基板10上にn型層1を20 μ m以上の膜厚で成長させ、そのn型層1の上に少なくとも、p型層3、4を成長させる。なおn型層1と基板10との間にバッファ層11を成長させてもよい

し、またn型層1とp型層3との間に活性層2を成長させても、本発明の範囲内であるし、またn型層1と活性層2との間に、他の組成よりなるn型層（例えばn型クラッド層）を成長させることもできる。

【0022】次に、窒化物半導体よりなる素子構造を成長させた後、ウェーハを反応容器から取り出して、図1(d)に示すように、基板10を除去する。基板10を除去するには研磨、エッチング等の手段がある。研磨であれば、SiC粉、ダイヤモンド粉を用いてラッピングした後、ポリシングを行う。化学エッチングであれば例

えば硫酸+リン酸の混酸、硫酸+過酸化水素で基板側を溶解することにより除去できる。なお図1ではバッファ層11も除去しているが、バッファ層11は非常に薄い層であり、エッチング、研磨等の技術では必ずしも数十オングストロームの精度で平面均一に基板が除去されることはないため、自然とバッファ層11も除去される。このようにして窒化物半導体よりなる、n型層1の表面と、p型層4の表面とが上下に露出したウェーハを作製することができる。

【0023】図1(e)は(d)のウェーハからチップ状に切り出した窒化物半導体チップ構造を示している。底面に相当するn型層1の表面にはn電極20を設け、最上層のp型コンタクト層4には透光性のp電極21とパッド電極22とからなる電極を形成している。p電極21は透光性の金属電極であり、例えば0.1 μ m以下の膜厚で形成されると共に、p型コンタクト層4と好ましいオーミック接触を得ている。透光性のp電極21は活性層2の発光をp型層側から観測できて、膜厚が薄いためにp型層に含まれる水素をアニーリング時に透過して、低抵抗なp型層の実現に寄与している。またパッド電極22は透光性のp電極21に直接ワイヤーボンディングすると透光性電極21が剥がれやすくなるので、p電極21の剥がれを防止すると共に、ワイヤーボンディング位置を明らかにしている。また、パッド電極がp電極21中央部にあると、ワイヤーボンディング時のボンディング位置決めが容易になり、素子歩留が向上する。

【0024】本発明の第1の態様が従来のGaNの基板を製造する技術と異なるところは、n型層を成長させた後、活性層、及びp型層まで形成して素子自体の構造を作製してしまい、その後基板を除去するところにある。このように、一度成長させた窒化物半導体を反応容器から出さずに素子構造まで作ってしまうことにより素子の量産性が良くなる。また基板を素子構造ができあがるまで反応容器から取り出さないために、空気に触れることによる窒化物半導体成長面の基板の酸化、変質を防止することができる。

【0025】図2(f)～(j)は、本発明の第2の態様の各工程において得られるウェーハの部分的な構造を示す模式断面図である。これらの図を元に本発明の第2の態様を説明する。

【0026】図2(f)に示す基板10はスピネルよりなる。第2の態様では基板がスピネルである必要がある。なぜなら、第2の態様は第1の態様と異なり、基板10の上にn型層を成長させてから基板を除去する。そのため、単一組成のn型層を厚膜で成長させる方が、再度n型層を反応容器内に移し、1000℃以上の高温で結晶成長を行う際に、n型層の割れ、欠け等の結晶損傷、n型層の反りのような物理的変形を防ぐために望ましい。単一組成のn型層を厚膜で成長させるには、スピネル基板が最も成長させやすいのは第1の態様で述べたとおりである。

【0027】このスピネル基板10に接してバッファ層11を成長させる。バッファ層11は第1の態様と特に代わるものではない。

【0028】次にこのバッファ層11に接してn型層1を20 μ m以上の膜厚で成長させる。第2の態様ではこのn型層1は単一の窒化物半導体組成、好ましくはGaNで20 μ m以上の膜厚で成長させることが望ましい。さらに、第2の態様では、n型層の膜厚は好ましくは50 μ m以上、さらに好ましくは100 μ m以上、最も好ましくは120 μ m以上の膜厚で成長させることが望ましい。これは、n型層1成長後に基板10を除去して、新たな基板となる単独のn型層を作製し、さらにこのn型層の上に高温で結晶成長を行う。基板となるn型層が薄いと成長中に割れたり、反ったりするために、均一な膜厚の窒化物半導体層が積層できないおそれがある。従って、第2の態様ではn型層1は第1の態様よりも厚く成長させることが望ましい。

【0029】また、第1の態様と同じく第2の態様でも、n型層1にSi、Ge、Sn等のドナー不純物をドーピングして、キャリア濃度を調整したn型層を成長させることが望ましく、ドナー不純物をドーピングしてキャリア濃度を調整する場合、n型層1のキャリア濃度はバッファ層11に接近した側のキャリア濃度を大きくし、バッファ層11から離れた側のキャリア濃度を小さくすることが望ましい。

【0030】次に、n型層1成長後、ウェーハを反応容器から取り出し、研磨、エッチング等の手段により、図2(h)に示すように基板10を除去する。基板を除去することによって、第1の主面と第2の主面とが露出したn型層1よりなるウェーハを作製することができる。また、図2(h)でも同様にバッファ層11も除去されているが、この原因は第1の態様と同じである。

【0031】さらに、第2の態様では、基板10除去後、他の導電型を有する窒化物半導体層を成長させようとするn型層1の表面を鏡面状とすることが望ましい。鏡面状とするには、化学的エッチングの他、研磨、ドライエッチングのような物理的エッチング手段があるが、窒化物半導体をエッチングできる溶剤は硫酸+リン酸のように数少なく、危険性も高いため、研磨が最も好まし

い。このようにn型層1のいずれか一方の面を鏡面状とすることにより、面方位のそろった窒化物半導体を成長することができる。

【0032】次に、図2(i)に示すように、n型層1の表面に活性層2、p型クラッド層3、p型コンタクト層4を順に積層する。活性層2は第1の態様で述べた活性層と同様のものが最も好ましい。また活性層2とn型層1との間に、n型層1と異なる組成を有するn型窒化物半導体よりなる他の層を成長させても良い。p型クラッド層3、p型コンタクト層4についても第1の態様と同じであり、また必要に応じて、異なる組成を有するp型層を活性層の上であればこの層に挿入しても良い。

【0033】図2(h)は(i)のウェーハからチップ状に切り出した窒化物半導体チップ構造を示すものであり、透光性電極21、パッド電極22の作用効果は第1の態様と特に異なるものではないが、このチップが図1(e)のチップと異なる点は、活性層2の下にあるn型層1をエッチングしているところにある。すなわちp型層をエッチングして活性層2の下にあるn型層を露出させ、露出したエッチング溝と、エッチング溝との間で、ウェーハを切断してチップ状にしている。この作用は次の通りである。本発明によると、基板が窒化物半導体となるために、窒化物半導体を劈開することができるようになる。しかしながら、窒化物半導体は六方晶系というその結晶形のため、劈開で全てを矩形のチップ状にすることは困難である。そのためいずれかの面はダイシング等の切断手段を取らざるを得ない。窒化物半導体は結晶の性質が非常に堅いため、ダイシングするとダイシング端面に欠け、割れ等が発生しやすくなり、特に活性層の端面にそのような結晶欠陥が発生すると、素子自体の信頼性が低下する。従って活性層よりも下のn型層までエッチングすることにより、ダイシング時の刃先が活性層端面に触れないようにすることができるので、素子の信頼性が向上する。この(j)の形状は第1の態様においても同様に適用可能である。

【0034】

【実施例】以下、MOCVD法にて窒化物半導体を成長させる方法を述べるが、本発明の方法はMOCVDだけでなく、MBE、HDVPE等の窒化物半導体を成長させるために従来提案されているあらゆる方法に適用できる。また素子構造についても、代表的なLED素子とLD素子しか述べていないが、構造も本実施例に限定されるものではない。

【0035】〔実施例1〕(第1の態様)

図1を元にして本発明の第1の態様を説明する。(111)面を成長面とするスピネル基板10(MgAl₂O₄)を反応容器内にセットし、反応容器内を水素で十分置換した後、水素を流しながら、基板の温度を1050℃まで上昇させ、基板のクリーニングを行う。

【0036】続いて、温度を510℃まで下げ、キャリ

アガスに水素、原料ガスにアンモニアとTMG(トリメチルガリウム)とを用い、スピネル基板上にGa₂Nよりなるバッファ層11を約200オングストロームの膜厚で成長させる。バッファ層はAlN、Ga₂N、AlGa₂N等が、900℃以下の温度で、膜厚数十オングストローム～数百オングストロームで形成できる。このバッファ層は基板と窒化物半導体との格子定数不正を緩和するために形成されるが、窒化物半導体の成長方法によっては省略することも可能である。

【0037】バッファ層11成長後、TMGのみ止めて、温度を1030℃まで上昇させる。1030℃になったら、同じく原料ガスにTMG、アンモニアガス、ドーパントガスにシランガスを用い、図1(b)に示すように、n型コンタクト層1としてSiドーパント型Ga₂N層を100μmの膜厚で成長させる。n型コンタクト層1は最初の50μmを高キャリア濃度のn⁺として、次の50μmを低キャリア濃度のn⁻とする。n型コンタクト層はIn_xAl_yGa_{1-x-y}N(0≤x, 0≤y, x+y≤1)で構成することができ、特にGa₂N、InGa₂N、その中でもSiをドーパしたGa₂Nで構成することにより、キャリア濃度の高いn型層が得られ、また負電極と好ましいオーミック接触が得られる。負電極の材料としてはAl、Ti、W、Cu、Zn、Sn、In等の金属若しくは合金が好ましいオーミックが得られる。

【0038】次に原料ガスにTMG、TMI、アンモニアを用い、温度を800℃に保持して、ノンドープIn_{0.2}Ga_{0.8}Nよりなる単一量子井戸構造(SQW)よりなる活性層2を30オングストロームの膜厚で成長させる。活性層2をInGa₂Nよりなる井戸層を含む単一量子井戸構造若しくは多重量子井戸構造とすると、量子準位間発光で約365nm～660nm間での高出力な発光素子を実現することができる。多重量子井戸構造では、井戸層は70オングストローム以下、障壁層は150オングストローム以下の厚さに調整することが望ましい。一方、単一量子井戸構造では70オングストローム以下の膜厚に調整することが望ましい。

【0039】次に、温度を1050℃に上昇させ、Mgドーパ型p型Al_{0.2}Ga_{0.8}Nよりなるp型クラッド層3を0.5μmの膜厚で成長させる。活性層に接して成長させるp型のクラッド層はAlを含む窒化物半導体、好ましくはAlGa₂Nを成長させることが望ましい。p型にするためのアクセプター不純物としてはMg、Zn、Cd等のII族元素を挙げることができ、これらのアクセプター不純物を窒化物半導体成長中にドーパすることによりp型の結晶が得られるが、好ましくは成長後アクセプター不純物をドーパした結晶をアニーリングして、アクセプター不純物と結合した水素を結晶中から除去することによりさらに好ましいp型が得られる。

【0040】次に、1050℃でMgドーパ型p型Ga₂Nよりなるp型コンタクト層4を0.5μmの膜厚で成長

させる。成長後の断面図が図1(c)である。p型コンタクト層4はp型 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$, $0 \leq y$, $x+y \leq 1$)で構成することができ、特に InGa N、 Ga N、中でも Mg をドーブしたp型 Ga Nとすると、最もキャリア濃度の高いp型層が得られて、正電極と良好なオーミック接触が得られる。正電極の材料としては Ni 、 Pd 、 Ir 、 Rh 、 Pt 、 Ag 、 Au 等の比較的仕事関数の高い金属又は合金がオーミックが得られやすい。

【0041】反応終了後、ウェーハを反応容器から取り出し、研磨機を用いて窒化物半導体を成長させていない側のスピネル基板10をラッピングして、図1(d)に示すようにスピネル基板10及びバッファ層11を除去する。バッファ層除去後、さらにバッファ層側のn型コンタクト層1をポリシングして鏡面状とする。

【0042】ラッピングしたウェーハを次に、アニーリング装置に移送し、アンモニア雰囲気中で、 1000°C のアニーリングを行う。このアニーリングは、 300°C 以上、 1200°C 以下で行い、アンモニア、窒素等のN源を含む雰囲気中で行うことにより、結晶全体の結晶性を整える作用がある。

【0043】アニーリング後、アニーリング装置内において、今度は H を含まない雰囲気中(窒素雰囲気)で、 700°C でアニーリングを行い、p型層をさらに低抵抗化する。このアニーリングは通常 400°C 以上で H を含まない雰囲気中で行うことにより、アクセプター不純物と結合した水素を結晶中から除去して、p型層をさらに低抵抗化する作用がある。

【0044】アニーリング後、ポリシングしたn型コンタクト層1の表面のほぼ全面に Ti と Al を含むn電極20を $2\mu\text{m}$ の膜厚で形成し、一方、p型コンタクト層4のほぼ全面に Ni と Au を含む透光性のp電極21を 100 オングストロームの膜厚で形成する。p型コンタクト層4の表面に好ましいオーミック接触を得るには、電極膜厚は 1000 オングストローム以下にして透光性にすることが望ましい。それは電極アニーリング時に水素が透光性電極を通してp型層から離脱し、p型層をさらに低抵抗するからである。次にp電極20のほぼ中心に膜厚 $2\mu\text{m}$ のパッド電極22を形成する。

【0045】以上の工程終了後、窒化物半導体ウェーハをn型コンタクト層1の劈開性を用いて劈開して、 $250\mu\text{m}$ 角のLED素子とする。このLED素子は上下に対向するn電極とp電極とを有し、順方向電流(I_f) 20mA において、順方向電圧(V_f) 3.5V 、発光出力 5mW と優れた特性を示した。

【0046】[実施例2] 実施例1において、基板にサファイア(0001)面を用いる他は実施例1と同様にして、サファイア基板の上に Ga Nよりなるバッファ層を 200 オングストロームの膜厚で形成する。

【0047】次にこのバッファ層の上にSiドーブn型

Ga N層を $5\mu\text{m}$ 成長させる。次に温度を 800°C にして、Siドーブn型 Ga N層の上に、Siドーブn型 $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ 層を 500 オングストローム成長させる。次に同じくSiドーブn型 Ga Nを $5\mu\text{m}$ 成長させ、さらにSiドーブn型 $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ を 500 オングストローム成長させる。この操作を16回繰り返して、総膜厚 $60.6\mu\text{m}$ のn型コンタクト層を成長させる。この後は実施例1と同様にしてLED素子を作製したところ、順方向電流(I_f) 20mA において、順方向電圧(V_f) 4V 、発光出力 2mW であった。

【0048】[実施例3] (第2の態様)

図2を元にして本発明の第2の態様を説明する。実施例1と同様にして、(111)面を成長面とするスピネル基板10(MgAl_2O_4)のクリーニングを行い、スピネル基板10上に Ga Nよりなるバッファ層11を 200 オングストロームの膜厚で成長させ、このバッファ層の上に、n+とn-層とを備えたn型コンタクト層1としてSiドーブn型 Ga N層を $100\mu\text{m}$ の膜厚で成長させる。図2(g)

【0049】成長後、ウェーハを反応容器から取出し、研磨機を用いて窒化物半導体を成長させていない側のスピネル基板10をラッピングして、図2(h)に示すようにスピネル基板10及びバッファ層11を除去しn型コンタクト層1ウェーハとする。さらに、低キャリア濃度(n-)側のn型コンタクト層側をポリシングして鏡面状とする。

【0050】ポリシング後、n型コンタクト層基板を反応容器に移送し、アンモニア雰囲気中で、 1000°C のアニーリングを行う。なお鏡面状にした低キャリア濃度側のn型コンタクト層側を窒化物半導体の成長面とする。

【0051】次に、実施例1と同様にしてポリシングしたn型コンタクト層1の表面にSQW構造の活性層2を 30 オングストロームの膜厚で成長させ、その活性層の上に Mg ドーブp型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ よりなるp型クラッド層3を $0.5\mu\text{m}$ の膜厚で成長させ、 Mg ドーブp型 Ga Nよりなるp型コンタクト層4を $0.5\mu\text{m}$ の膜厚で成長させる。成長後の断面図が図2(i)である。また活性層2を成長させる前にn型コンタクト層1の表面に Ga N、 InGa N、 AlGa Nよりなるバッファ層を成長させることもできる。

【0052】反応終了後、反応容器内において、 H を含まない雰囲気中、例えば窒素、 Ar 等の雰囲気中、 700°C でアニーリングを行い、p型層をさらに低抵抗化する。

【0053】アニーリング後、ウェーハを反応容器から取り出し、p型コンタクト層4側から幅 $10\mu\text{m}$ で基盤目状にRIE(反応性イオンエッチング)エッチングを行い、図2(h)に示すようにn型コンタクト層の平面を露出させる。

【0054】次に実施例1と同様にして、窒化物半導体を成長させていないn型コンタクト層1の表面のほぼ全面にTiとAlを含むn電極20を2 μ mの膜厚で形成し、一方、p型コンタクト層4のほぼ全面にNiとAuを含む透光性のp電極21を100オングストロームの膜厚で形成し、p電極20のほぼ中央に膜厚2 μ mのパッド電極22を形成する。

【0055】以上の工程終了後、窒化物半導体ウェーハをエッチング溝と、エッチング溝との間でダイサーを用いて切断し、350 μ m角の発光素子とする。この発光素子も上下に対向するn電極とp電極とを有し、If 20mAにおいて、Vf 3.5V、発光出力5mWと優れた特性を示した。

【0056】[実施例4]図3は本発明の方法により得られたレーザ素子の構造を示す模式的な断面図であり、具体的にはレーザ光の共振方向に垂直な方向で素子を切断した際の図を示すものである。以下、図3を元に本発明の方法によりLDを製造する方法を述べる。

【0057】実施例3において、スピネル基板10およびバッファ層11を除去し、成長面をポリシングした膜厚100 μ mのSiドープGa_{0.9}Nよりなるn型コンタクト層1ウェーハを反応容器内に設置した後、温度を800℃にして、原料ガスにTMG、TMI（トリメチルインジウム）、アンモニア、不純物ガスにシランガスを用い、SiドープIn_{0.1}Ga_{0.9}Nよりなるクラック防止層101を500オングストロームの膜厚で成長させる。このクラック防止層101はInを含むn型の窒化物半導体、好ましくはInGa_{0.9}Nで成長させることにより、次に成長させるAlを含む第1のn型窒化物半導体層102を厚膜で成長させることが可能となり、非常に好ましい。LDの場合は、光閉じ込め層となる層を、好ましくは0.1 μ m以上の膜厚で成長させる必要がある。従来ではGa_{0.9}N、AlGa_{0.9}N層の上に直接、厚膜のAlGa_{0.9}Nを成長させると、後から成長させたAlGa_{0.9}Nにクラックが入るので素子作製が困難であったが、このクラック防止層101が、次に成長させるAlを含む第1のn型窒化物半導体層102にクラックが入るのを防止することができる。なおこのクラック防止層は100オングストローム以上、0.5 μ m以下の膜厚で成長させることが好ましい。100オングストロームよりも薄いと前記のようにクラック防止として作用しにくく、0.5 μ mよりも厚いと、結晶自体が黒変する傾向にある。なお、このクラック防止層101は成長方法、成長装置等の条件によっては省略することもできる。

【0058】次に温度を1030℃にして、原料ガスにTMA（トリメチルアルミニウム）、TMG、NH₃、SiH₄を用い、Siドープn型Al_{0.2}Ga_{0.8}Nよりなる第1のn型窒化物半導体層102を0.5 μ mの膜厚で成長させる。この第1のn型窒化物半導体層102はキャリア閉じ込め層、及び光閉じ込め層として作用

し、上記のようにAlを含む窒化物半導体、好ましくはAlGa_{0.9}Nを成長させることが望ましく、100オングストローム以上、2 μ m以下、さらに好ましくは500オングストローム以上、1 μ m以下で成長させることにより、結晶性の良いキャリア閉じ込め層が形成できる。

【0059】温度を800℃に下げ、Siドープn型Ga_{0.9}Nよりなる第2のn型窒化物半導体層103を0.2 μ mの膜厚で成長させる。この第2のn型窒化物半導体層は、光ガイド層として作用し、Ga_{0.9}N、InGa_{0.9}Nを成長させることが望ましく、通常100オングストローム～5 μ m、さらに好ましくは200オングストローム～1 μ mの膜厚で成長させることが望ましい。

【0060】次に、原料ガスにTMG、TMI、アンモニアを用いて活性層2を成長させる活性層は温度を800℃に保持して、まずノンドープIn_{0.2}Ga_{0.8}Nよりなる井戸層を25オングストロームの膜厚で成長させる。次にTMIのモル比を変化させるのみで同一温度で、ノンドープIn_{0.01}Ga_{0.99}Nよりなる障壁層を50オングストロームの膜厚で成長させる。この操作を2回繰り返す、最後に井戸層を積層した多重量子井戸構造の活性層2を成長させる。

【0061】次に、温度を1050℃に上げ、TMG、TMA、NH₃、Cp₂Mg（シクロペンタジエニルマグネシウム）を用い、活性層よりもバンドギャップエネルギーが大きい、Mgドープp型Al_{0.1}Ga_{0.9}Nよりなる第1のp型窒化物半導体層104を300オングストロームの膜厚で成長させる。この第1のp型窒化物半導体層104は、本実施例ではp型としたが、膜厚が薄いため、n型不純物をドープしてキャリアが補償されたi型としても良いが、最も好ましくはp型とする。第1のp型窒化物半導体層104の膜厚は0.1 μ m以下、さらに好ましくは500オングストローム以下、最も好ましくは300オングストローム以下に調整する。0.1 μ mより厚い膜厚で成長させると、第1の窒化物半導体層中にクラックが入りやすくなり、結晶性の良い窒化物半導体層が成長しにくいからである。またキャリアがこのエネルギーバリアをトンネル効果により通過できなくなる。また、Alの組成比が大きいAlGa_{0.9}N程薄く形成するとLD素子は発振しやすくなる。例えば、Y値が0.2以上のAl_{1-y}Ga_yNであれば500オングストローム以下に調整することが望ましい。第1の窒化物半導体層104の膜厚の下限は特に限定しないが、10オングストローム以上の膜厚で形成することが望ましい。

【0062】続いて1050℃で、バンドギャップエネルギーが第1のp型窒化物半導体層104よりも小さい、Mgドープp型Ga_{0.9}Nよりなる第2のp型窒化物半導体層105を0.2 μ mの膜厚で成長させる。この層は、光ガイド層として作用し、第2のn型窒化物半導体103と同じくGa_{0.9}N、InGa_{0.9}Nで成長させることが望ましい。また、この層は第3のp型窒化物半導体層1

06を成長させる際のバッファ層としても作用し、100オングストローム～5 μ m、さらに好ましくは200オングストローム～1 μ mの膜厚で成長させることにより、好ましい光ガイド層として作用する。

【0063】続いて1050℃で、バンドギャップエネルギーが第2の窒化物半導体層105よりも大きい、Mgドープp型Al0.2Ga0.8Nよりなる第3のp型窒化物半導体層106を0.5 μ mの膜厚で成長させる。この層は第1のn型窒化物半導体層102と同じく、キャリア閉じ込め層、及び光閉じ込め層として作用し、Alを含む窒化物半導体、好ましくはAlGaInを成長させることが望ましく、100オングストローム以上、2 μ m以下、さらに好ましくは500オングストローム以上、1 μ m以下で成長させることにより、結晶性の良いキャリア閉じ込め層が形成できる。

【0064】本実施例のようにInGaInよりなる井戸層を有する活性層の場合、その活性層に接して、膜厚0.1 μ m以下のAlを含む第1のp型窒化物半導体層104を設け、そのp型窒化物半導体層よりも活性層から離れた位置に、第1のp型窒化物半導体層よりもバンドギャップエネルギーが小さい第2のp型窒化物半導体層105を設け、その第2のp型窒化物半導体層105よりも活性層から離れた位置に、第2のp型窒化物半導体層よりもバンドギャップが大きいAlを含む窒化物半導体よりなる第3のp型窒化物半導体層106を設けることは非常に好ましい。しかもこの第1のp型窒化物半導体層104の膜厚を0.1 μ m以下と薄く設定してあるため、キャリアのバリアとして作用することはなく、p層から注入された正孔が、トンネル効果により第1のp型窒化物半導体層を通り抜けることができ、活性層で効率よく再結合し、LDの出力が向上する。つまり、注入されたキャリアは、第1のp型窒化物半導体層104のバンドギャップエネルギーが大きいので、半導体素子の温度が上昇しても、あるいは注入電流密度が増えても、キャリアは活性層をオーバーフローせず、第1のp型窒化物半導体層104で阻止されるため、キャリアが活性層に貯まり、効率よく発光することが可能となる。従って、半導体素子が温度上昇しても発光効率が低下することが少ないので、閾値電流の低いLDを実現することができる。

【0065】最後に、第3のp型窒化物半導体層106の上に、1050℃でMgドープp型GaInよりなるp型コンタクト層4を0.5 μ mの膜厚で成長させる。

【0066】反応終了後、温度を室温まで下げてウェーハを反応容器から取り出し、700℃でウェーハのアニーリングを行い、p型層をさらに低抵抗化する。

【0067】アニーリング後、RIEにより最上層のp型コンタクト層4と、第3のp型窒化物半導体層106とをエッチングして、2 μ mのストライプ幅を有するリッジ形状とする。このように、活性層よりも上部にある

p型層をストライプ状のリッジ形状とすることにより、活性層の発光がストライプリッジの下に集中するようになって閾値が低下する。そして、図3に示すようにp型コンタクト層4の表面にNiとAuよりなるp電極21をストライプ状に形成する。なおp電極21はレーザ素子であるため特に透光性にする必要はない。一方、TiとAlよりなるn電極20を窒化物半導体層を形成していない側のn型コンタクト層1のほぼ全面に形成する。

【0068】次に、ウェーハをストライプ状の電極に垂直な方向でバー状に劈開し、劈開面に共振器を作製する。共振器は基板がGaInであるのでGaInの劈開性を用いて簡単に作製することができる。この場合、劈開面は窒化物半導体の

【外1】

(1100)

面とする。外1面とは窒化物半導体を正六角柱の六方晶系で近似した場合に、その六角柱の側面に相当する四角形の面(M面)に相当する面である。この他、RIE等のドライエッチング手段により端面をエッチングして共振器を作製することもできる。またこの他、劈開面を鏡面研磨して作成することも可能である。

【0069】劈開後、共振器面にSiO₂とTiO₂よりなる誘電体多層膜を形成し、最後にp電極に平行な方向で、バーを切断してレーザチップとした。次にチップをフェースダウン(=p電極がヒートシンクに対向した状態)でヒートシンクに設置し、常温でレーザ発振を試みたところ、しきい値電流密度2kA/cm²で、発振波長400nmの連続発振が確認された。このようにGaInを基板とすると用意にフェースダウンボンディングが行えるため、チップの放熱性が格段に向上し、連続発振が可能となる。

【0070】

【発明の効果】以上説明したように、本発明の方法によると窒化ガリウム系化合物半導体を基板とした素子を製造することができるため、従来のように同一面側から2種類の電極を取り出した構造としなくても、上下方向に対向した電極構造とすることができる。さらにチップサイズも小さくできるので、単一面積のウェーハからのチップ取り数が増えるため、価格もを低下できる。また、GaInが基板であるのでLDのような鏡面に近い共振面を必要とするデバイスではGaInの劈開により容易に共振面を作製でき、その産業上の利用価値は非常に大きい。

【図面の簡単な説明】

【図1】 本発明の第1の態様の各工程を説明するためのウェーハの構造を示す模式断面図。

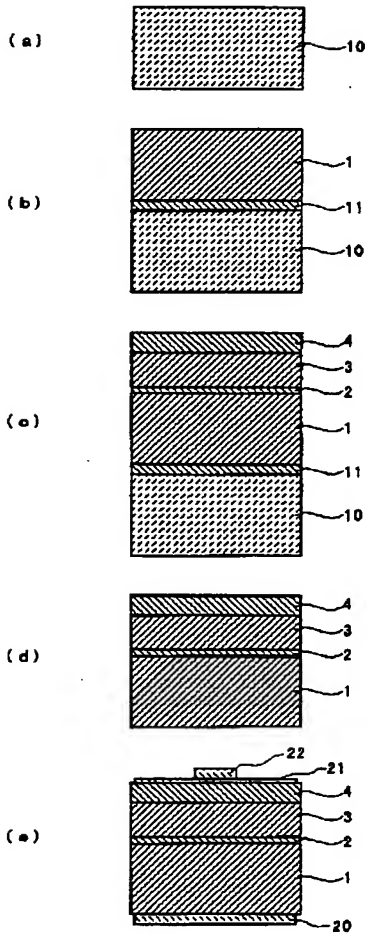
【図2】 本発明の第2の態様の各工程を説明するためのウェーハの構造を示す模式断面図。

【図3】 本発明の方法により得られたレーザ素子の構造を示す模式断面図。

【符号の説明】

- 1・・・n型コンタクト層
2・・・活性層
3・・・p型クラッド層
4・・・p型コンタクト層

【図1】



10・・・基板

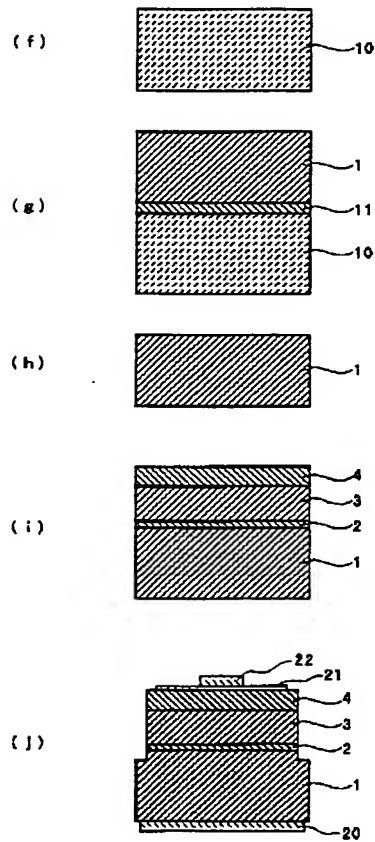
11・・・バッファ層

20・・・n電極

21・・・p電極

22・・・パッド電極

【図2】



【図3】

